

## SEMICONDUCTOR DISPLAY DEVICE

Publication number: JP10319440

Publication date: 1998-12-04

Inventor: HIRAKATA YOSHIHARU; NISHI TAKESHI; YAMAZAKI SHUNPEI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: G02F1/1345; G02F1/136; G02F1/1368; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/136; G02F1/1345; H01L29/786

- european:

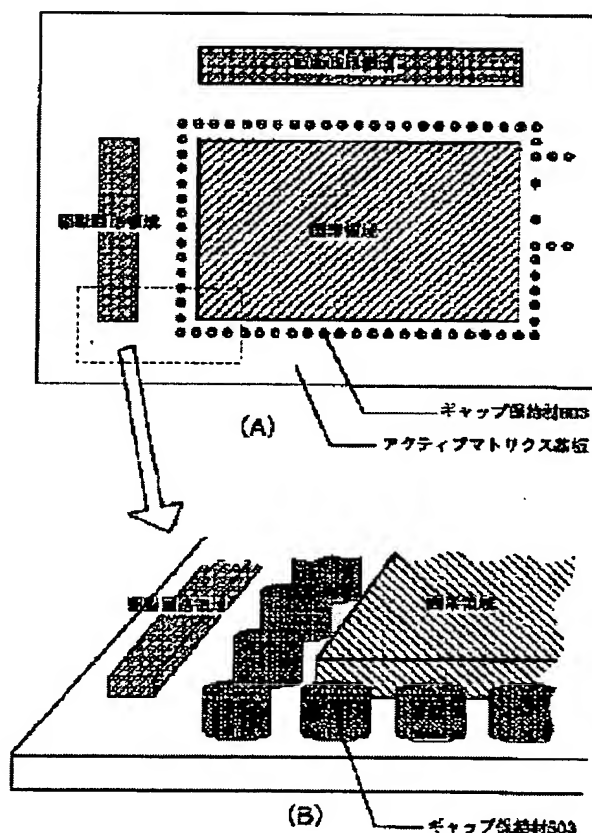
Application number: JP19970148540 19970522

Priority number(s): JP19970148540 19970522

Report a data error here

## Abstract of JP10319440

**PROBLEM TO BE SOLVED:** To provide a semiconductor display device which has uniform cell thicknesses and shows a good display characteristic. **SOLUTION:** In an active matrix type semiconductor display device in which pixel TFTs and driving circuit TFTs are integrally formed on a same substrate, the controlling of cell gaps is performed with gap holding materials 803 arranged between a pixel area and driving circuit areas. As the result, uniform cell thicknesses are obtained over the whole of the semiconductor display device. Moreover, stress is not generated in the driving circuit TFTs at the time of sticking together an active matrix substrate and a counter substrate because conventional grain shaped spacers are not used in this device. Thus, damage is prevented from being provided on the driving circuit TFTs.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-319440

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>6</sup>

G 0 2 F 1/136  
1/1345  
H 0 1 L 29/786

識別記号

5 0 0

F I

G 0 2 F 1/136 5 0 0  
1/1345  
H 0 1 L 29/78 6 1 2 B

審査請求 未請求 請求項の数16 F D (全 16 頁)

(21)出願番号 特願平9-148540

(22)出願日 平成9年(1997)5月22日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 西 毅

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 山崎 舜平

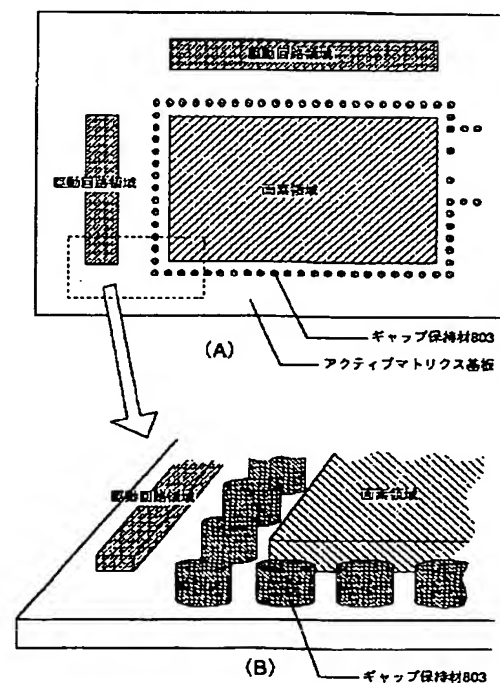
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体表示装置

(57)【要約】

【課題】 均一なセル厚を有し、良好な表示特性を示す半導体表示装置を提供する。

【解決手段】 画素TFTと駆動回路TFTとが同一基板上に一体形成された、アクティブマトリクス型半導体表示装置において、画素領域と駆動回路領域との間に配置されたギャップ保持材によってセルギャップの制御を行う。これにより、半導体表示装置全体にわたって均一なセル厚を得ることができる。また、従来の粒形のスペーサを用いないので、アクティブマトリクス基板と対向基板との貼り合わせ時に、駆動回路TFTには応力が生じることがない。よって、駆動回路TFTにダメージを与えることを防ぐことができる。



## 【特許請求の範囲】

【請求項 1】 複数の薄膜トランジスタと前記複数の薄膜トランジスタに電氣的に接続された複数の画素電極とを少なくとも有する画素領域と、前記複数の薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される複数の駆動回路を少なくとも有する、前記画素領域とは別の場所に設けられる駆動回路領域と、下地基板と、を少なくとも備える第 1 の基板と、前記第 1 の基板に対向する第 2 の基板と、複数のギャップ保持材と、前記第 1 の基板に対向する第 2 の基板とを張り合わせるシール剤と、を少なくとも備える半導体表示素子であって、前記下地基板の表面から前記画素領域の表面までの距離と、前記下地基板の表面から前記駆動回路領域の表面までの距離とは、異なり、前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域以外の領域に形成される半導体表示装置。

【請求項 2】 マトリクス状に配置された複数の画素電極と前記複数の画素電極のそれぞれに接続された複数の画素薄膜トランジスタとを少なくとも有する画素領域と、前記複数の画素薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される駆動回路を少なくとも有する駆動回路領域と、下地基板と、を少なくとも備えるアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された、印加電圧によって光学的応答が制御される表示媒体と、を少なくとも備える半導体表示装置であって、前記下地基板の表面から前記画素領域の表面までの距離と、前記下地基板の表面から前記駆動回路領域の表面までの距離とは、異なり、前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域以外の領域に形成される半導体表示装置。

【請求項 3】 前記表示媒体は、印加電圧にตอบสนองして光学的特性が変調される請求項 2 記載の半導体表示装置。

【請求項 4】 前記表示媒体は、液晶材料である請求項 3 記載の半導体表示装置。

【請求項 5】 前記複数のギャップ保持材は、前記画素領域の周囲に形成される請求項 1 乃至 4 記載の半導体表示装置。

【請求項 6】 前記複数のギャップ保持材の配置密度は、前記画素領域において均一である請求項 1 乃至 4 記載の半導体表示装置。

【請求項 7】 前記ギャップ保持材は、円柱形である請求項 1 乃至 6 記載の半導体表示装置。

【請求項 8】 前記ギャップ保持材は、楕円柱形である請求項 1 乃至 6 記載の半導体表示装置。

【請求項 9】 前記ギャップ保持材は、多角柱形である

請求項 1 乃至 6 記載の半導体表示装置。

【請求項 10】 前記ギャップ保持材は、液晶材料の注入時に前記液晶材料が流動する妨げにならない形状を有する請求項 2 乃至 6 記載の半導体表示装置。

【請求項 11】 前記ギャップ保持材の側面形状は、テーパー状である請求項 2 乃至 6 記載の半導体表示装置。

【請求項 12】 前記ギャップ保持材は、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドのうちの何れか一つから成る請求項 1 乃至記載の半導体表示装置。

【請求項 13】 前記ギャップ保持材は、紫外線硬化樹脂から成る請求項 1 乃至記載の半導体表示装置。

【請求項 14】 前記ギャップ保持材は、エポキシ樹脂から成る請求項 1 乃至記載の半導体表示装置。

【請求項 15】 前記表示媒体は、液晶材料と高分子との混合層である請求項 1 記載の半導体表示装置。

【請求項 16】 前記表示媒体は、エレクトロルミネセンス素子である請求項 1 記載の半導体表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】 本明細書で開示する発明は、薄膜トランジスタを用いた半導体表示装置に関する。特に、画素スイッチング回路と駆動回路とが同一基板上に一体形成された半導体表示装置に関する。

【0003】

【従来の技術】

【0004】 最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0005】 アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十〜数百万個もの画素領域にそれぞれ TFT が配置され、各画素電極に出入りする電荷を TFT のスイッチング機能により制御するものである。

【0006】 ここで、薄膜トランジスタが配置されたアクティブマトリクス型液晶表示装置の基本的な構成を図 1 を用いて説明する。まず、液晶表示装置を基板に対して垂直な方向に切断した断面図を、図 1 (A) に示す。この断面は、図 1 (B) の A-A' で示される破線で切断した断面図に相当する。

【0007】 下地基板 101 は、透光性であり、絶縁膜が基板表面に形成されている (図示せず)。102 は TFT の活性層、103 はゲート電極、104 はデータ線、105 はドレイン電極、106 は層間絶縁膜、107 はブラックマトリクス、108 は透明導電性膜から成る画素電極、109 は配向膜である。

【0008】 上記のような構成を有する TFT が配置さ

れた基板全体をアクティブマトリクス基板と呼ぶことにする。なお、図1(A)では1つの画素のみに注目しているが、実際には、数十〜数百万個の画素スイッチングTFT(画素TFTと呼ぶ)を含む画素領域と、それらを駆動する複数のTFTを含む周辺駆動回路領域とによってアクティブマトリクス基板が構成される。

【0009】一方、110は透光性を有する基板であり、111は透明導電性膜から成る対向電極、112は配向膜である。このような構成をとるアクティブマトリクス基板と対向する基板全体を、対向基板と呼ぶことにする。

【0010】図2(A)に示すように、上記アクティブマトリクス基板および対向基板には、液晶材料の配向性を整えるためのラビングなどの配向処理が行われる。その後、アクティブマトリクス基板と対向基板との基板間隔(セルギャップ)を制御するために、アクティブマトリクス基板側に粒形のスペーサ201が基板全面に均一に散布される。次に、シール剤202が印刷される。シール剤202は、基板同士を貼り合わせる接着剤としての役割と、基板間に注入される液晶材料が基板外部に漏れないように封入するための封止剤としての役割とを果たす。

【0011】図3は、アクティブマトリクス基板の断面図である。図3に示すように、セルギャップを制御するために粒形のスペーサ301がアクティブマトリクス基板全面上に均一に散布されるので、画素領域のみならず周辺駆動回路領域にもスペーサ301が存在することになる。通常、画素TFTと駆動回路TFTとは素子の大きさにそれほど違いはない。しかし、画素領域には、画素TFTを覆うブラックマトリクス、透明導電性膜から成る画素電極等が形成される。また、反射型の液晶表示装置においては、画素領域には、反射電極が形成される。さらに、駆動回路領域には、画素TFTを駆動するCMOS回路を構成するために接続配線が形成される。よって、画素領域と駆動回路領域とは、下地基板表面からの高さ(距離)に違いが生じてくる。

【0012】ここで、駆動回路領域に比較して画素領域の方が基板表面からの高さが高い場合を例にとることにする。粒形のスペーサは、湿式あるいは乾式法によって画素領域のみならず駆動回路領域にも散布される。粒形のスペーサが、ほぼ均一な大きさを有するとすると、スペーサの位置によって基板からの高低差が生じてくる。画素領域上と駆動回路領域上とに位置するスペーサ上面の基板からの高さをそれぞれ、 $h_p$ 、 $h_d$ とする。画素領域と駆動回路領域との大きさの違いによる高低差 $\Delta h = h_p - h_d$ が生じていることがわかる。

【0013】次に、図4(A)に示すように、アクティブマトリクス基板と対向基板とを貼り合わせる。その後、アクティブマトリクス基板と対向基板との間に液晶材料が充填され、液晶注入口が封止材で封止される(図

4(B))。こうして、図1(A)に示すような構成を有するアクティブマトリクス型液晶表示装置が作製される。

【0014】しかし、上記のような構成を有する液晶表示装置には以下のような問題点がある。

【0015】画素領域と駆動回路領域との大きさの違いによる高低差 $\Delta h$ のために、アクティブマトリクス基板と対向基板とを貼り合わせたときに、セルギャップを均一にすることができず、セル厚ムラが生じてしまう。その上、図4(A)および(B)に示すように、対向基板にひずみが生じてしまう。セル厚ムラおよび対向基板にひずみの生じた液晶表示装置には、表示ムラが生じる、対向基板上面に干涉縞が生じるなどの欠陥が現れる。

【0016】また、画素領域に比較して駆動回路領域の方が基板表面からの高さが高い場合を例にとると、上述した高低差 $\Delta h$ のために、アクティブマトリクス基板と対向基板とを貼り合わせる際に、駆動回路領域上に散布されたスペーサには必要以上の大きな力がかかることになり、画素TFTよりも複雑な構造を有する駆動回路TFTに少なからずダメージを与えることになる。その結果、製品の歩留まりに影響を及ぼすことになる。

【0017】また、図1(B)に示すように、粒形のスペーサ115が画素領域に存在する場合、スペーサ115の近傍は液晶材料の配向性が乱れるため、画像表示の乱れ(ディスクリネーション)が観測される場合がある。

【0018】上述したように、従来の粒形のスペーサを用いてセルギャップを制御する場合は、さまざまな要因により、良好な表示を得ることができないことがある。

【0019】また、一般的に製造または試作されている液晶表示装置は画素ピッチに関係なく、4〜6 $\mu$ m程度のセルギャップを確保しているようであるが、今後は、液晶パネルの高精細化が求められ、画素ピッチを更に微細化する傾向が強まってきている。

【0020】例えば、投射型液晶表示装置(プロジェクション)は、画像をスクリーンに拡大投射することを考えて可能な限り高精細な画像を表示することが望ましい。またコストの面からも光学系を小型化する必要がある、パネルサイズを小さくすることが必要である。このため、今後は画素ピッチが40 $\mu$ m以下、好ましくは30 $\mu$ m以下の液晶表示装置を作製する必要がある。

【0021】このような高精細な画像を必要とする液晶表示装置には、数 $\mu$ mの粒形スペーサでさえも、有効表示領域に存在する場合は表示品質の劣化につながる。

【0022】さらに、従来の粒形のスペーサは、液晶材料注入時に、液晶材料の流動によって粒形のスペーサ自体も流れてしまい、結果として均一なスペーサ散布密度を得ることができず、セル厚ムラの原因となることがあった。

【0023】また、最近注目されてきている強誘電性液

品を用いた液晶表示装置や、反射型液晶表示装置には、その特性上、小さいセルギャップが求められている。

【0024】しかし、従来のような粒形のスペーサを用いて小さく均一なセルギャップを有するセルを作製することは、一般的に困難である。

【0025】

【発明が解決しようとする課題】

【0026】本発明は、従来の粒形のスペーサを用いては困難であった、小さく均一なセルギャップを有するセルを作製することによって、セル厚ムラおよび表示ムラのない半導体表示装置を提供することを課題とする。また、本発明は、従来の粒形のスペーサを用いた場合、基板の貼り合わせ時にTFTに生じていた不必要な応力が生じないようにし、TFTにダメージを与えないようにすることを課題とする。

【0027】

【課題を解決するための手段】

【0028】本発明のある実施態様によると、複数の薄膜トランジスタと前記複数の薄膜トランジスタに電気的に接続された複数の画素電極とを少なくとも有する画素領域と、前記複数の薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される複数の駆動回路を少なくとも有する、前記画素領域とは別の場所に設けられる駆動回路領域と、下地基板と、を備える第1の基板と、前記第1の基板に対向する第2の基板と、複数のギャップ保持材と、前記第1の基板に対向する第2の基板とを張り合わせるシール剤と、を少なくとも備える半導体表示素子であって、前記下地基板の表面から前記画素領域の表面までの距離と、前記下地基板の表面から前記駆動回路領域の表面までの距離とは、異なり、前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域以外の領域に形成される半導体表示装置が提供される。このことによって上記課題が達成される。

【0029】本発明の別の実施態様によると、マトリクス状に配置された複数の画素電極と前記複数の画素電極のそれぞれに接続された複数の画素薄膜トランジスタとを少なくとも有する画素領域と、前記複数の画素薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される駆動回路を少なくとも有する駆動回路領域と、下地基板と、を少なくとも備えるアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された、印加電圧によって光学的応答が制御される表示媒体と、少なくとも備える半導体表示装置であって、前記下地基板の表面から前記画素領域の表面までの距離と、前記下地基板の表面から前記駆動回路領域の表面までの距離とは、異なり、前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域以外の領域に形成される半導体表示装置が提供される。このことによって上記目的が達成される。

【0030】前記表示媒体は、印加電圧に応答して光学的特性が変調されてもよい。

【0031】前記表示媒体は、液晶材料であってもよい。

【0032】前記複数のギャップ保持材は、前記画素領域の周囲に形成されてもよい。

【0033】前記複数のギャップ保持材の配置密度は、前記画素領域において均一であってもよい。

【0034】前記ギャップ保持材は、円柱形であってもよい。

【0035】前記ギャップ保持材は、楕円柱形であってもよい。

【0036】前記ギャップ保持材は、多角柱形であってもよい。

【0037】前記ギャップ保持材は、液晶材料の注入時に前記液晶材料が流動する妨げにならない形状を有していてもよい。

【0038】前記ギャップ保持材の側面形状は、テーパ状であってもよい。

【0039】前記ギャップ保持材は、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドのうちの何れか一つから成ってもよい。

【0040】前記ギャップ保持材は、紫外線硬化樹脂から成ってもよい。

【0041】前記ギャップ保持材は、エポキシ樹脂から成ってもよい。

【0042】前記表示媒体は、液晶材料と高分子との混合層であってもよい。

【0043】前記表示媒体は、エレクトロルミネセンス素子であってもよい。

【0044】

【作用】

【0045】本発明によると、複数のギャップ保持材によってセルギャップの制御を行うので、半導体表示装置全体にわたって小さく均一なセル厚を得ることができる。

【0046】また、本発明によると、アクティブマトリクス基板と対向基板との貼り合わせ時に、画素TFTおよび駆動回路TFTには応力が生じないので、画素TFTおよび駆動回路TFTがダメージを受けることはない。

【0047】

【発明の実施の形態】

【0048】本発明では、画素スイッチングTFTと駆動回路TFTとを同一基板上に一体形成し、半導体表示装置を作製する。

【0049】

【実施例】

【0050】（実施例1）

【0051】本実施例の半導体表示装置の作製方法を以

下に説明する。まず、アクティブマトリクス基板の作製について図5、図6および図7を用いて説明する。それぞれの図の左側部分に駆動回路TFTの作製工程を、右側部分に画素TFTの作製工程を示すことにする。

【0052】最初に、図5(A)を参照する。石英基板あるいはガラス基板501上に下地酸化膜として酸化珪素膜502を100~300nmの厚さに形成する。この酸化珪素膜502の形成方法としては、酸素雰囲気中のスパッタ法やプラズマCVD法を用いればよい。

【0053】次に、プラズマCVD法やLPCVD法によってアモルファスもしくは多結晶のシリコン膜を30~150nm、好ましくは50~100nmの厚さに形成する。そして、熱アニールを行い、シリコン膜を結晶化させる。熱アニールは、500℃以上、好ましくは800~900℃の温度で行う。熱アニールによってシリコン膜を結晶化させた後、光アニールを行うことによって更に結晶性を高めてもよい。また、熱アニールによってシリコン膜を結晶化させる際に、特開平6-244104号広報に開示されているように、ニッケル等の元素(触媒元素)を添加することによって、シリコンの結晶化を促進させてもよい。

【0054】次に、島状の周辺駆動回路TFTの活性層(Pチャンネル型TFT活性層503、Nチャンネル型TFT活性層504)、および画素TFT活性層505を形成する。図5では、便宜上、3つのTFTが示されているが、実際は、数百万個のTFTが同時に形成されている。

【0055】さらに、酸素雰囲気中でスパッタすることによって、厚さ50~200nmの酸化珪素のゲイト絶縁膜506を形成する。ゲイト絶縁膜を形成する方法としてプラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素( $N_2O$ )、あるいは酸素( $O_2$ )とモノシラン( $SiH_4$ )との混合ガスを用いるのが好ましい。

【0056】その後、LPCVD法によって多結晶シリコン膜を、厚さ200nm~5 $\mu m$ 、好ましくは200~600nmで基板全面に形成する。この多結晶シリコン膜は、導電性を高めるために微量の燐を含有していてもよい。この多結晶シリコン膜をエッチングすることによって、ゲイト電極507、508および409を形成する。

【0057】次に、図5(B)に示すように、イオンドーピング法によって全ての島状活性層にゲイト電極をマスクとした自己整合的な燐のドーピングを行う。ドーピングガスとしては、フォスフィン( $PH_3$ )を用いる。この時の、ドーピング量は、 $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/ $cm^2$ とする。この結果、弱いN型領域(N-領域)510、511、512が形成される。

【0058】次に、図5(C)に示すように、Pチャネ

ル型TFTの活性層503を覆うフォトレジストのマスク513、および画素TFTの活性層505のうち、ゲイト電極509を覆うフォトレジストのマスク514を形成する。ゲイト電極を覆うフォトレジストのマスクは、ゲイト電極と平行に、ゲイト電極の端から3 $\mu m$ 離れた部分までを覆う。そして、再びイオンドーピング法によって燐を注入する。ドーピングガスは、フォスフィンを用いる。ドーピング量は、 $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ $cm^2$ とする。この結果、強いN型領域(N+領域)のソース/ドレイン515、516が形成される。画素TFTの活性層505の弱いN型領域(N-領域)512のうちマスク514で覆われていた領域517は、今回のドーピングでは燐が注入されない。したがって、領域517は、弱いN型領域のままである。

【0059】次に、図6(A)に示すように、Nチャンネル型TFTの活性層504、505をフォトレジストのマスク518で覆う。そして、ジボラン( $B_2H_6$ )をドーピングガスとしてイオンドーピングを行い、島状領域503に硼素を注入する。ドーピング量は、 $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/ $cm^2$ とする。今回のドーピングでは、硼素のドーピング量が前述の図5(C)で示される工程においてドーピングされた燐のドーピング量を上回るため、先に形成されていた弱いN型領域510は、強いP型領域519に反転する。

【0060】以上のドーピングにより、強いN型領域(ソース/ドレイン)515、516、強いP型領域(ソース/ドレイン)519、弱いN型領域(低濃度不純物領域)517が形成される。本実施例においては、低濃度不純物領域517の幅xは、約3 $\mu m$ である(図6(A))。

【0061】その後、450~850℃で、0.5~3時間熱アニールを施すことにより、ドーピング不純物を活性化させ、かつシリコンの結晶性を回復させる。この熱アニール処理により、ドーピングによるシリコン膜のダメージを回復させる。

【0062】次に、図6(B)に示すように、プラズマCVD法によって全面に酸化珪素の層間絶縁膜520を形成する。層間絶縁膜520の厚さは、300~6000nmとする。この層間絶縁膜520は、窒化珪素膜、あるいは酸化珪素膜と窒化珪素膜との多層膜であってもよい。次に、層間絶縁膜520をウェットエッチング法によってエッチングし、ソース/ドレインにコンタクトホールを形成する。

【0063】その後、スパッタ法によって、厚さ200~600nmのチタン膜を形成し、これをエッチングして駆動回路の電極・配線521、522、523、および画素TFTの電極・配線524、525を形成する。上記駆動回路の電極・配線521、522、523、および画素TFTの電極・配線524、525は、T i - A l - T i といった多層膜で構成されてもよい。さら

に、図6(C)に示すように、厚さ100~300nmのポリイミド膜526を形成する。このポリイミド膜上に、フォトリソグロフ法によって画素TF Tの電極525まで達するコンタクトホールを形成する。次に、図7(A)に示すように、スパッタ法によりITO(インディウム錫酸化物)膜528を厚さ50~150nmに形成する。その後、図7(B)に示すように、マスク529を形成し、エッチングすることによって画素電極530を形成する(図7(C))。画素領域においては、それぞれの画素電極に少なくとも1つ以上のTF Tが配置され、電氣的に接続されている。駆動回路としては、シフトレジスタやアドレスデコーダなどが用いられる。また、その他の回路が必要に応じて構成される。

【0064】このようにして、複数の駆動回路TF T(駆動回路領域)と複数の画素TF T(画素領域)とが同一基板上に一体形成されたアクティブマトリクス基板が作製される。なお本実施例では、画素数は、縦1024×横768とした。なお、本明細書では、最端部の画素TF Tを含む画素TF Tが存在する領域を画素領域と呼び、最端部の駆動回路TF Tを含む駆動回路TF Tが存在する領域を駆動回路領域と呼ぶことにする。

【0065】TF T基板を良く洗浄し、TF T形成時の表面処理に用いられたエッチング液、レジスト剥離液等の各種薬品を十分に洗浄する。

【0066】次に、ギャップ保持材の形成工程を説明する。以下の説明には、駆動回路領域と、画素領域の構成を、図8に示すように簡略化することにする。なお図8では、便宜上、それぞれの部分の縮尺は異なって示されている。

【0067】まず、図8(B)に示すように、スピコート法によって感光性ポリイミド膜801を厚さ2.2μmに形成した。その後、感光性ポリイミド膜801の膜厚をアクティブマトリクス基板全面に渡って均一にするために、30分間、常温で放置した(レベリング)。そして、上面に感光性ポリイミド膜801が形成されたアクティブマトリクス基板を120℃で3分間ブリークした。

【0068】次に、感光性ポリイミド膜801をパターンニングする。図8(C)に示すように、感光性ポリイミド膜801をフォトリソマスク802で覆い、アクティブマトリクス基板上部より紫外線を照射した。その後、現像処理を行い、280℃で1時間ポストベークを施した。こうして、図8(D)に示すように、パターンニングされたセルギャップ保持材803を形成した。

【0069】図9(A)に、本実施例のアクティブマトリクス基板の上面図を示す。図9(B)に、本実施例のアクティブマトリクス基板の図9(A)で点線で示された部分を拡大した斜視図を示す。なお、図9(A)および(B)では、便宜上、ギャップ保持材803、画素領

域、および駆動回路領域の縮尺は異なって示されている。本実施例では、図9(A)および(B)に示されるようにギャップ保持材803の形状は円柱形であり、円柱の直径は10μm、高さは2.2μmである。複数のギャップ保持材803が30μmの一定間隔において、最端部の画素TF Tから約70μmの間隔において、画素領域を取り囲むように形成された。なお、液晶材料注入口付近では、ギャップ保持材803を配置する密度を他の部分よりも低くしてある。また、ギャップ保持材の配置密度は、画素領域において均一であることが好ましい。

【0070】なお、本発明によるギャップ保持材803は、その高さ精度が需要である。本実施例では、ギャップ保持材の高さ精度は、±0.1μmとした。一方、ギャップ保持材の位置の精度に関しては、±10μm程度の精度で十分である。本実施例では、ギャップ保持材803は画素領域と駆動回路領域との間に形成される。本実施例では、画素領域と駆動回路領域との間隔は、約400nmであり、ギャップ保持材803の直径に比較して十分大きい。よって、ギャップ保持材803の位置の精度はそれほど重要ではない。しかし、ギャップ保持材803が画素領域内および駆動回路領域内に形成されることはない。

【0071】本実施例では、ギャップ保持材の形状は、円柱状としたが、ギャップ保持材の形状は、楕円形、流線形、あるいは、三角形、四角形などの多角形状であってもよく、アクティブマトリクス基板(第1の基板)と対向基板(第2の基板)とのギャップを制御できる形状であれば、いかなる形状を有することも許される。また、本実施例では、ギャップ保持材は全て同形で、一定間隔において形成されたが、複数種の形状を有したギャップ保持材が異なる間隔において形成されてもよい。また、本実施例では、複数のセルギャップ保持材が画素領域から一定間隔において形成されたが、複数のセルギャップ保持材が画素領域から複数の異なる間隔において形成されてもよい。また、本実施例では、複数のセルギャップ保持材を画素領域と駆動回路領域との間に形成したが、セルギャップを制御できる位置であるならば、画素領域内と駆動回路領域内以外ならどこに形成されてもよい。

【0072】次に、配向膜をアクティブマトリクス基板上および対向基板上に形成する。配向膜には、ポリイミド系の垂直配向膜を用いた。このポリイミド系の垂直配向膜をスピコート法、フレキシ印刷法、あるいはスクリーン印刷法のいずれかによってアクティブマトリクス基板上および対向基板上にコートする。本実施例では、スピコート法によって配向膜を形成した。配向膜の厚さは、1000Åとした。その後、180℃の熱風を送り込むことによって加熱(ベーク)し、ポリイミドを硬化させた。



【0073】次に、配向膜が形成された対向基板表面を、毛足の長さ2〜3mmのパフ布（レイヨン、ナイロン等の繊維）で一定方向に擦るラビング処理を行った。なお、本実施例では、アクティブマトリクス基板側のラビング処理は行わない。

【0074】その次に、アクティブマトリクス基板の外枠上にシール剤1001を塗布した（図10（A））。その後、アクティブマトリクス基板と対向基板とを貼り合わせた（図10（B））。

【0075】次に、表示媒体としての液晶材料を液晶注入口1002より注入する。よって、アクティブマトリクス基板と対向基板との間に液晶材料が挟持された状態となる。本実施例では、ギャップ保持材の形状は円柱形であるので、液晶材料注入時に生じる液晶材料とギャップ保持材の表面との流動抵抗が小さい。よって、基板全面に渡って均一に液晶材料を注入することができた。なお、ギャップ保持材の形状および配置は、この流動抵抗が小さくなるのが好ましい。

【0076】その後、液晶材料注入口に封止剤（図示せず）を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶材料をセル内に完全に封止した。

【0077】作製されたセルを用いて実際にその表示特性を調べたところ、セル表面には干渉縞が観察されなかった。また、ディスクリネーションのない良好な表示が得られた。

【0078】（実施例2）

【0079】本実施例では、アクティブマトリクス基板上に複数の画素TFTおよび複数の駆動回路TFTを形成する工程までは実施例1と同じであるので、ここでは省略する。

【0080】図7（C）に示すように、画素TFTと駆動回路TFTとがアクティブマトリクス基板上に一体形成された後、セルギャップ保持材がアクティブマトリクス基板上に形成される。以下に本実施例におけるギャップ保持材の形成工程を説明する。

【0081】図11を参照する。まず、図11（B）に示すように、スピンコート法によって感光性ポリイミド膜1101を厚さ2.2μmに形成した。その後、感光性ポリイミド膜1101の膜厚をアクティブマトリクス基板全面に渡って均一にするために、30分間、常温で放置した（レベリング）。そして、上面に感光性ポリイミド膜1101が形成されたアクティブマトリクス基板を120℃で3分間プリベークした。

【0082】次に、感光性ポリイミド膜1101をパターンニングする。図11（C）に示すように、感光性ポリイミド膜1101をフォトマスク1102で覆い、アクティブマトリクス基板上部より紫外線を照射した。その後現像処理を行い、フォトマスクを除去し、280℃で1時間ポストベークを施した。以上の工程によって、円柱状のギャップ保持材1103が形成される。その

後、図12（A）に示すように、レジスト膜1201を均一に塗布し、所望の形状にパターンニングする。本実施例では、図12（A）に示すように、円柱形のギャップ保持材1103の上面に、レジスト膜1201が形成された。次に、図12（B）に示すように、酸素プラズマを照射し、ギャップ保持材1103の形状を加工する。よって、図12（C）に示すような、側面がテーパ状となったギャップ保持材1202を形成した。図12（D）にギャップ保持材1202の拡大図を示す。ギャップ保持材1202の形状は、上面の直径30μm、下面の直径20μm、高さ2.2μmの円錐形の上部を平らにしたような形状とした。

【0083】図13に本実施例のアクティブマトリクス基板の上面図を示す。上記の工程によって、パターンニングされたセルギャップ保持材1202が形成された。図13に示すように、本実施例では、複数のギャップ保持材1202が画素領域を2重に取り囲むように形成されている。

【0084】その後、実施例1と同様の方法で、配向膜がアクティブマトリクス基板上および対向基板上に形成される。

【0085】次に、配向膜が形成された対向基板表面をラビング処理し、アクティブマトリクス基板上にシール剤1301を塗布した（図13）。その後、アクティブマトリクス基板と対向基板とを貼り合わせた（図示せず）。

【0086】次に、表示媒体としての液晶材料を液晶注入口より注入した。本実施例では、ギャップ保持材1202の側面は、テーパがついた形状となっているので、液晶材料注入時に、液晶材料とギャップ保持材1202との間に生じる抵抗が少なくなる。よって、基板全体に渡って均一に液晶材料を注入することができた。その後、液晶注入口を封止材（図示せず）で封止することによって液晶材料をセル内に完全に封止した。

【0087】本実施例のように、ギャップ保持材1202の数を増やす、特に画素領域付近にギャップ保持材1202を増やすことによって、より均一なセル厚を実現できる。作製されたセルを用いて実際にその表示特性を調べたところ、セル表面には干渉縞が観察されなかった。また、ディスクリネーションのない良好な表示が得られた。

【0088】（実施例3）

【0089】本実施例では、セルギャップ保持材の数および配置のみが実施例1と異なる。それ以外は実施例1あるいは2と同じであるので省略する。

【0090】図14に示すように、本実施例では、ギャップ保持材1401が画素領域を取り囲むように形成され、ギャップ保持材1402が駆動回路領域を取り囲むように形成されている。ギャップ保持材1401および1402の形状は、直径30μm、高さ2.2μmの円



柱形とした。

【0091】次に、配向膜が形成された対向基板表面をラビング処理し、アクティブマトリクス基板上にシール剤1403を塗布した(図14)。その後、アクティブマトリクス基板と対向基板とを貼り合わせた(図示せず)。

【0092】次に、表示媒体としての液晶材料を液晶注入口より注入し、液晶注入口を封止材(図示せず)で封止することによって液晶材料をセル内に完全に封止した。

【0093】作製されたセルを用いて実際にその表示特性を調べたところ、セル表面には干渉縞が観察されなかった。また、ディスクリネーションのない良好な表示が得られた。

【0094】(実施例4)

【0095】本実施例では、アクティブマトリクス基板上に複数の画素TFTおよび複数の駆動回路TFTを形成する工程までは実施例1と同じであるので、ここでは省略する。

【0096】図7(C)に示すように、画素TFTと駆動回路TFTとがアクティブマトリクス基板上に一体形成された後、セルギャップ保持材がアクティブマトリクス基板上に形成される。以下に本実施例におけるギャップ保持材の形成工程を説明する。

【0097】図15を参照する。画素TFTおよび駆動回路TFTが形成されたアクティブマトリクス基板上に、印刷法によってギャップ保持材1503を形成する。本実施例では、ギャップ保持材1503にはポリイミド樹脂を用いた。図15(B)に示すように、アクティブマトリクス基板上をスクリーンで覆い、ポリイミド樹脂を印刷し、ギャップ保持材1502を形成した。本実施例では、一度の印刷で、1.1 $\mu$ mのギャップ保持材1502が形成される。よって、ポリイミド膜の印刷の後、しばらくの間ベークし、さらにポリイミド膜を重ねて印刷するという工程を繰り返して所望の高さを有するギャップ保持材1503を形成した。

【0098】図14に、ギャップ保持材1503が形成されたアクティブマトリクス基板の上面図を示す。本実施例では、ギャップ保持材1503は、長軸30 $\mu$ m、短軸15 $\mu$ m、高さ2.2 $\mu$ mの楕円柱形であり、画素領域を取り囲むように形成された。また、本実施例では、ギャップ保持材1503は、液晶材料注入時に、ギャップ保持材1503と液晶材料との間に生じる抵抗が小さくなるように配置されている。つまり、液晶注入口から注入される液晶材料の流動方向と、ギャップ保持材の長軸が平行になるように配置されている(図14(B))。

【0099】次に、配向膜をアクティブマトリクス基板上および対向基板上に形成する。配向膜には、ポリイミド系の垂直配向膜を用いた。このポリイミド系の垂直配

向膜をスピンコート、フレキシ印刷、あるいはスクリーン印刷のいずれかによってアクティブマトリクス基板上および対向基板上にコートした(図示せず)。配向膜の厚さは、100nmとした。その後、180℃の熱風を送り込むことによってベークを行い、配向膜を形成した。

【0100】その次に、アクティブマトリクス基板の外枠上にシール剤1601を塗布し、アクティブマトリクス基板と対向基板とを貼り合わせた(図示せず)。

10 【0101】次に、液晶材料注入口より液晶材料を注入する。本実施例では、セルギャップ保持材1503は、楕円柱形であり、かつ上で説明したように液晶材料注入時に液晶材料とギャップ保持材との間に生じる抵抗が小さくなるように配置されている。よって、液晶材料を基板全体に渡って均一に注入することができた。

【0102】その後、液晶材料注入口に封止剤(図示せず)を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶材料をセル内に完全に封止した。

【0103】(実施例5)

20 【0104】実施例1~4ではプレーナ型TFTを例にとって説明してきたが、本発明は当然の如くTFTの構造には何ら影響されない。したがって、画素領域および駆動回路領域の個々のTFTが逆スタガ型TFTであっても、あるいはマルチゲイト型TFTであってもよい。

【0105】上記実施例1~4では、ギャップ保持材にはポリイミドを用いたが、アクリル、ポリアミド、またはポリイミドアミドなどの樹脂を用いてもよい。また、ギャップ保持材に熱硬化樹脂を用いてもよい。

30 【0106】なお、上記実施例1~4では、表示媒体として液晶材料を用いる場合について説明してきたが、本発明のギャップ保持材は、液晶材料と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。また、本発明の半導体表示装置の表示媒体は、印加電圧にตอบสนองして光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを表示媒体として用いてもよい。

40 【0107】また、上記実施例1~4では特に示さないが、カラー表示を行う必要がある場合には、対向基板側にカラーフィルタを設ければ良い。カラーフィルタには、厚さが均一で平坦であること、耐熱性および耐薬品性に優れていること等が要求される。

【0108】なお、上記実施例1~4では、画素領域の高さが駆動回路領域の高さよりも高い場合について本発明のギャップ保持材の効果を説明してきた。しかし、駆動回路領域の高さが画素領域の高さよりも高い場合にも、本発明のギャップ保持材は同じ効果を奏することは当業者にとって理解される。

【0109】

【発明の効果】

50 【0110】本発明によると、セル厚分布のない均一な

セル厚を有する半導体表示装置が得られる。また、本発明によると、粒形上のスペーサを散布すること無しにセルギャップを確保することができるので、基板の貼り合わせ時に駆動回路TFTに不必要な力がかかることを防ぐことができ、製品の歩留まりが向上する。

【図面の簡単な説明】

【図1】 従来のアクティブマトリクス型液晶表示装置の断面図および平面図である。

【図2】 従来のアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図3】 従来のアクティブマトリクス型液晶表示装置の断面図である。

【図4】 本発明によるアクティブマトリクス型液晶表示装置の断面図である。

【図5】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図6】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図7】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図8】 本発明によるギャップ保持材の作製工程を示す図である。

【図9】 本発明によるアクティブマトリクス型液晶表示装置の上面図および斜視図である。

【図10】 本発明によるアクティブマトリクス型液晶表示装置の上面図および断面図である。

【図11】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図12】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図および本発明によるギャップ保持材の拡大図である。

【図13】 本発明によるアクティブマトリクス型液晶表示装置の上面図である。

【図14】 本発明によるアクティブマトリクス型液晶表示装置の上面図である。

10 【図15】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図16】 本発明によるアクティブマトリクス型液晶表示装置の上面図および斜視図である。

【符号の説明】

101、110、401 基板

102 TFT活性層

103 ゲイト電極

104 データ線

105 ドレイン電極

20 106 層間絶縁膜

107 ブラックマトリクス

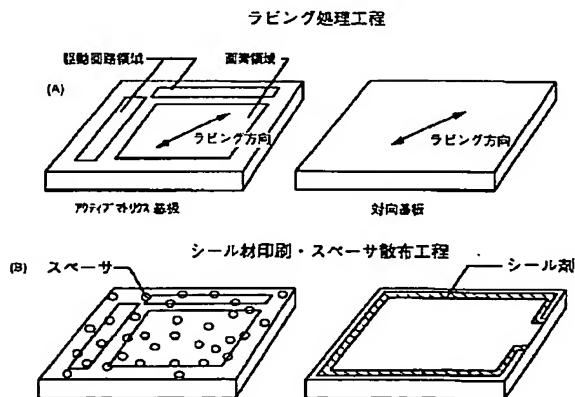
108 画素電極

109、112 配向膜

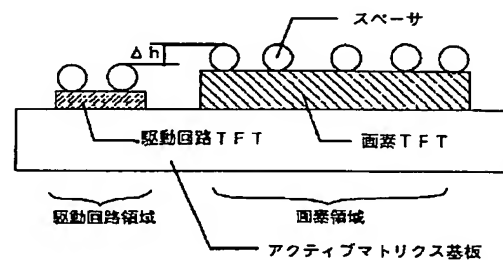
111 対向電極

803、1103、1202、1401、1503 ギャップ保持材

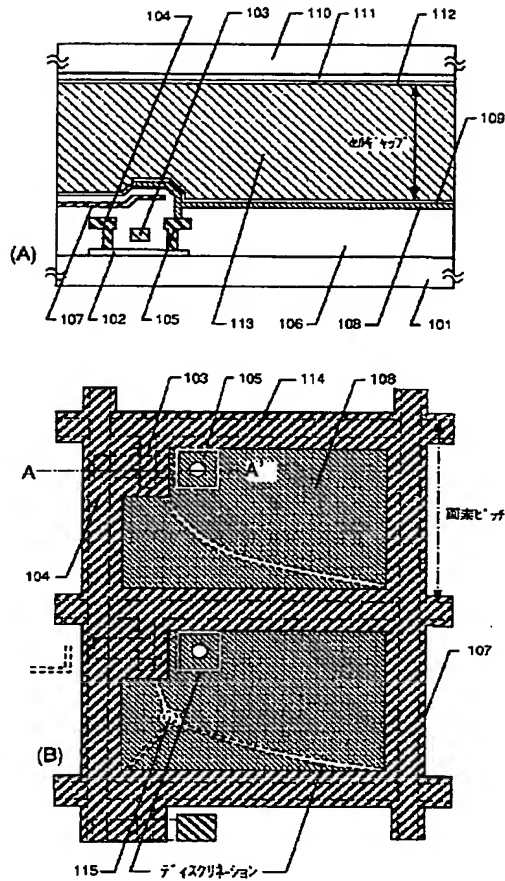
【図2】



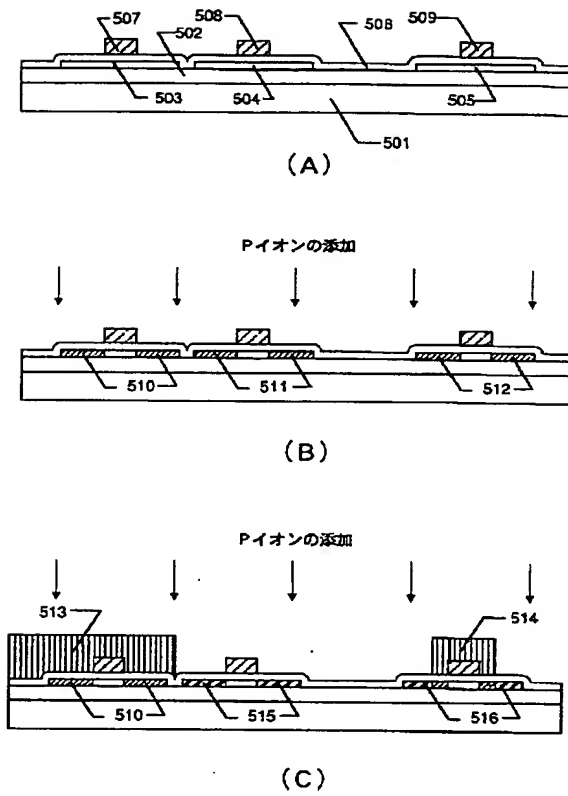
【図3】



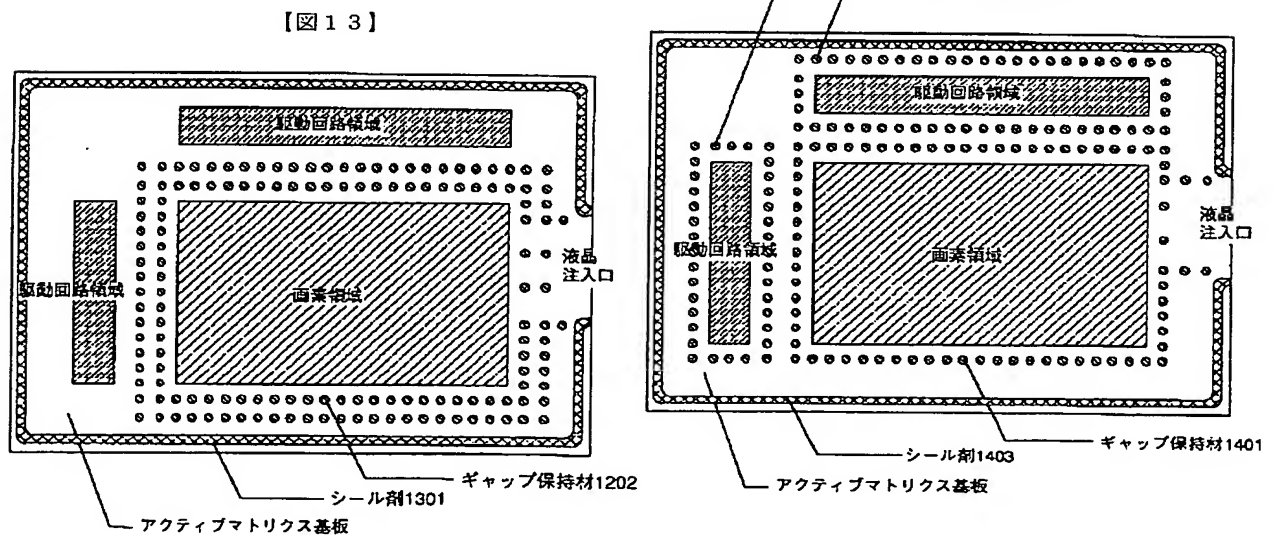
【図1】



【図5】

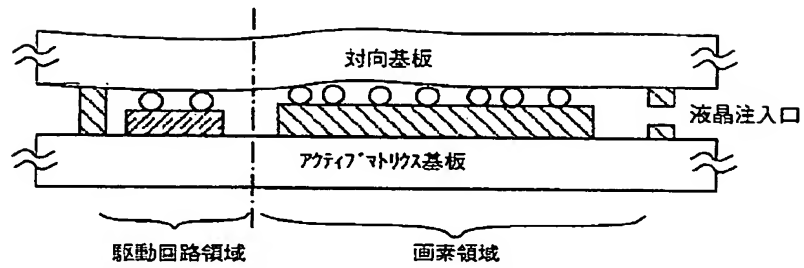


【図14】

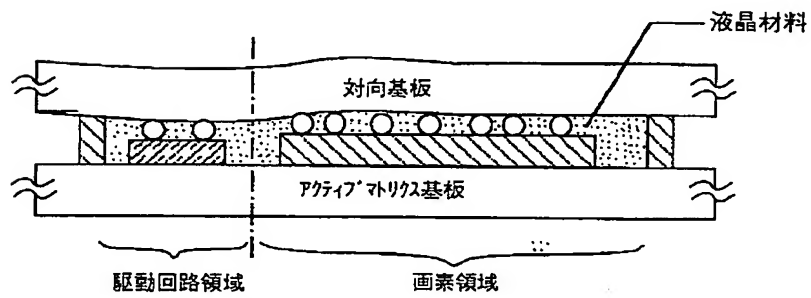


【図4】

## 対向基板との貼り合わせ工程

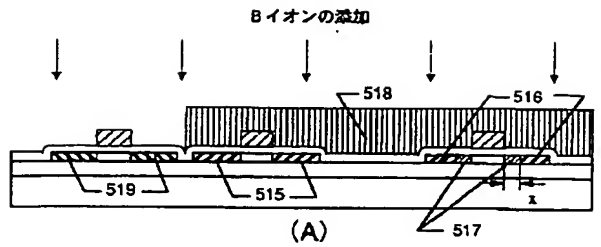


(A)

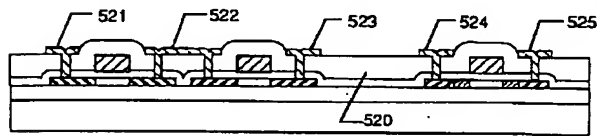


(B)

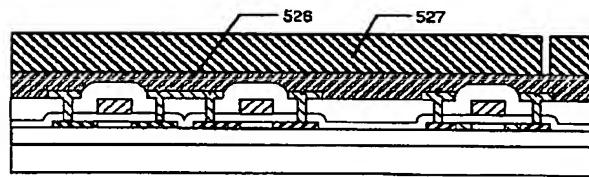
【図6】



515

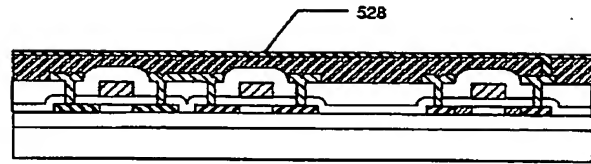


(B)

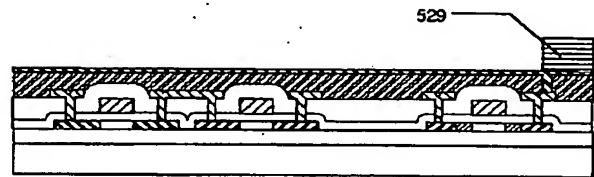


(C)

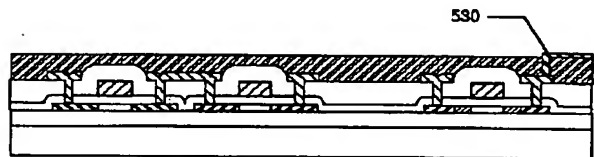
【図7】



(A)



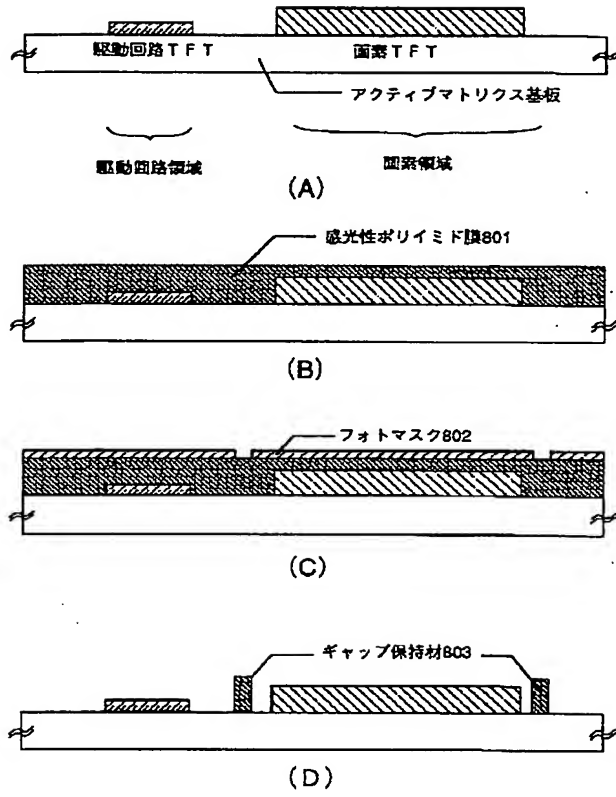
(B)



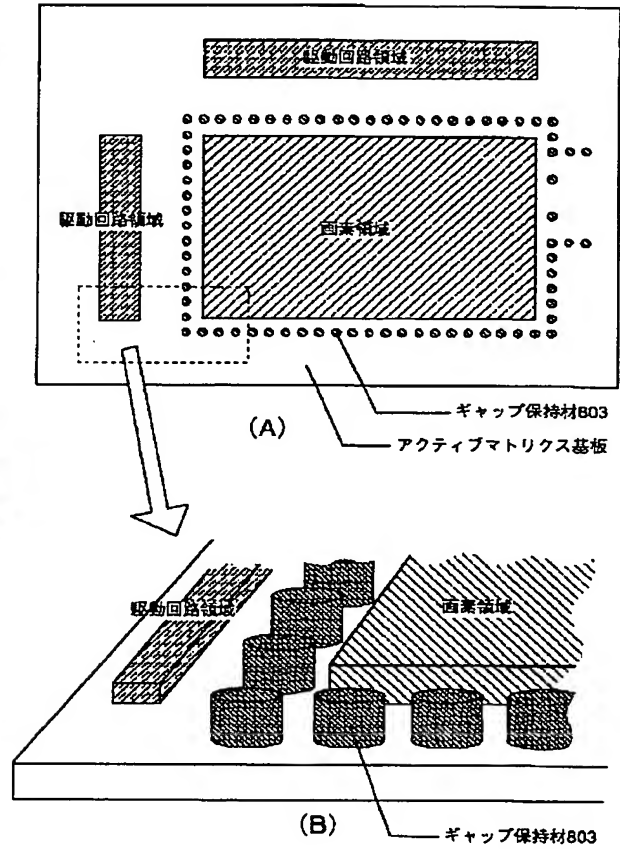
駆動回路領域

画素領域

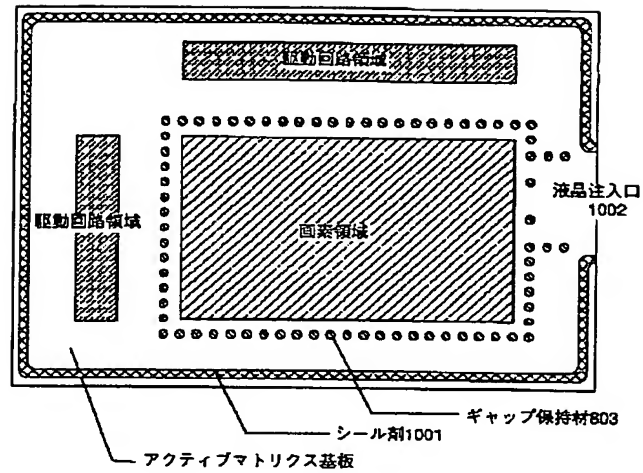
【図8】



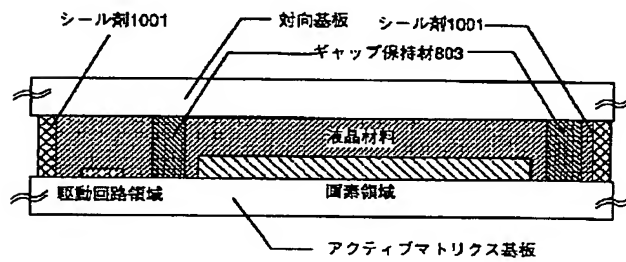
【図9】



【図 10】



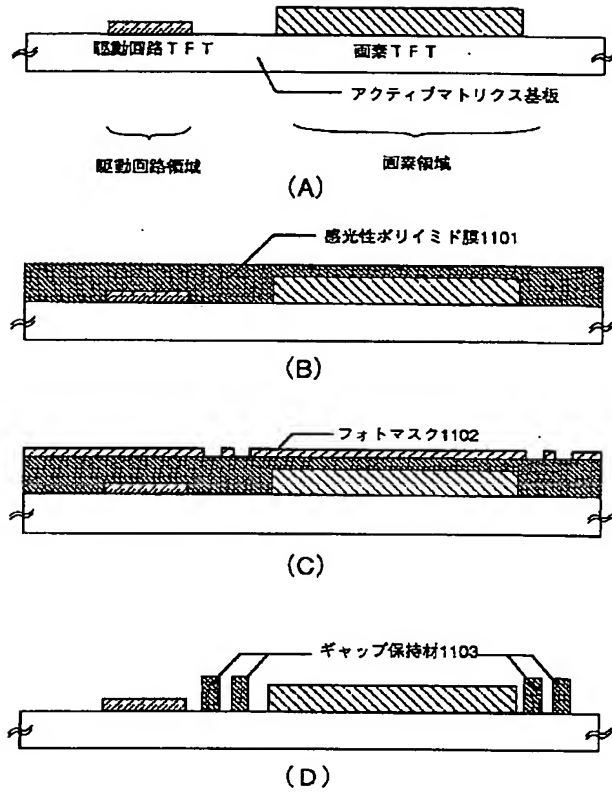
(A)



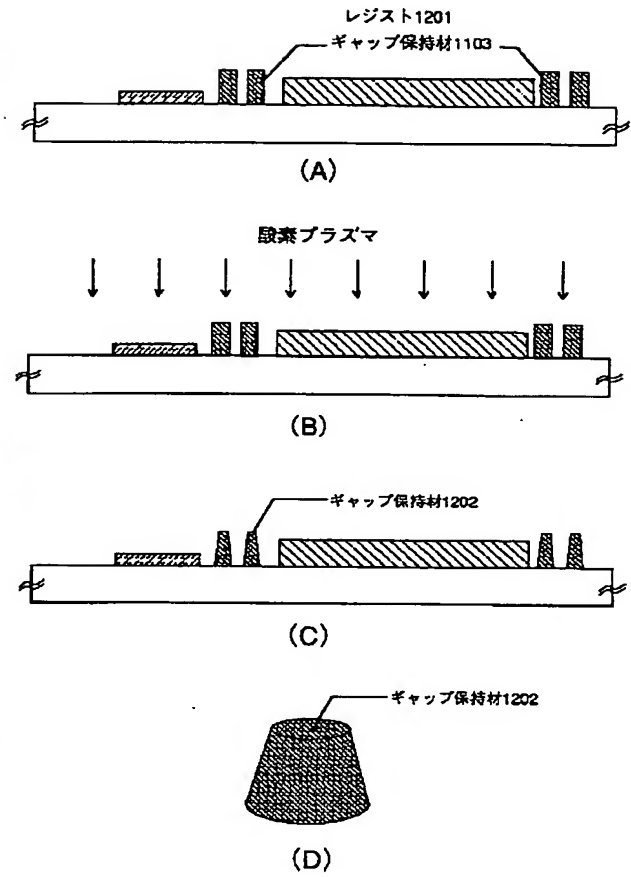
(B)



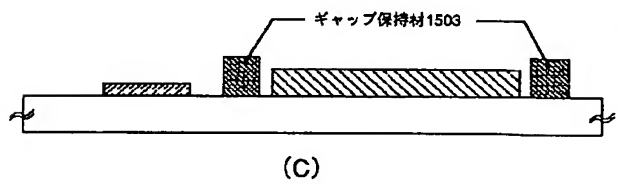
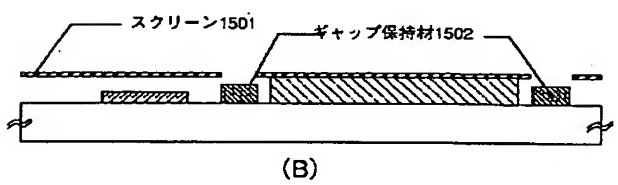
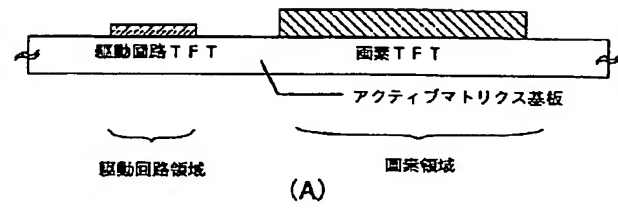
【図 11】



【図 12】



【図15】



【図16】

